

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 08162331
PUBLICATION DATE : 21-06-96

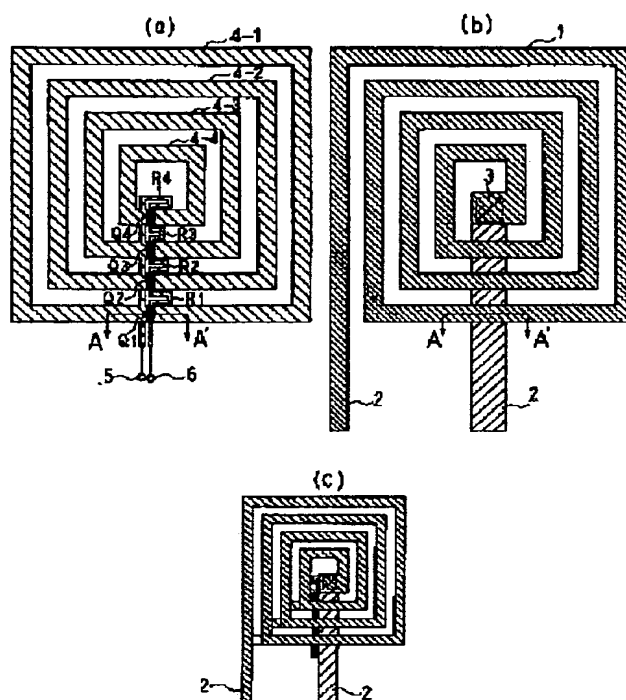
APPLICATION DATE : 05-12-94
APPLICATION NUMBER : 06300483

APPLICANT : HITACHI LTD;

INVENTOR : YOSHIDA ISAO;

INT.CL. : H01F 21/12 H01F 17/00 H01L 29/10
H03M 9/00

TITLE : VARIABLE INDUCTOR AND
SEMICONDUCTOR INTEGRATED
CIRCUIT USING IT



ABSTRACT : PURPOSE: To provide an inductor which allows its inductance value to be varied and can be contained in a semiconductor integrated circuit and provide a semiconductor integrated circuit best suited to microwave integrated circuits.

CONSTITUTION: A loop-like interconnection layers 4-1 to 4-4 having open ends at a lower part of a spiral inductor 1, field effect transistors Q1-Q4 serving as switches for turning on and off the open ends, and insulation film between the inductor 1 and interconnection layers 4-1 to 4-4 are provided to vary the inductance value by the switches Q1-Q4. Thus, the inductance value can be varied and they can be contained in a semiconductor integrated circuit and incorporated in a microwave integrated circuit.

COPYRIGHT: (C)1996,JPO

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-162331

(43) 公開日 平成8年(1996)6月21日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 F 21/12		4230-5E		
17/00	B	4230-5E		
H 0 1 L 29/10				
H 0 3 M 9/00	A	9382-5K		

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願平6-300483

(22) 出願日 平成6年(1994)12月5日

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72) 発明者 加賀谷 修
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 清水 敏彦
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 関根 健治
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(74) 代理人 弁理士 薄田 利幸

最終頁に続く

(54) 【発明の名称】 可変インダクタ及びそれを用いた半導体集積回路

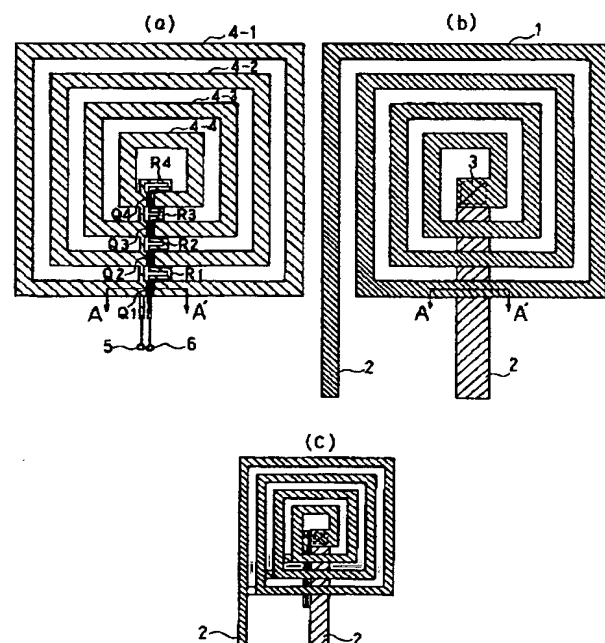
(57) 【要約】

【目的】 インダクタンス値を可変にできかつ半導体集積回路に内蔵できるインダクタ及びマイクロ波集積回路に最適な半導体集積回路を提供する。

【構成】 螺旋状インダクタ1の下部に開放端を持つループ状の配線層4を複数個と、上記開放端を開放/短絡するスイッチとしての電界効果トランジスタQ1~Q4と、螺旋状インダクタ1と配線層4との間に絶縁膜とを設け、スイッチQ1~Q4を開閉してインダクタンス値を可変する。

【効果】 インダクタンス値を可変にでき、かつ半導体集積回路に内蔵できる。また、マイクロ波集積回路に組み込める。

図1



【特許請求の範囲】

【請求項1】スパイラル状の第1導体と、上記第1導体の近傍に配置され、かつ開放端が設けられたループ状の複数の第2導体と、上記複数の第2導体のそれぞれの上記開放端の開放/短絡を行うスイッチと、上記スイッチの開放/短絡を駆動する信号入力端子とをもつことを特徴とする可変インダクタ。

【請求項2】請求項1記載の可変インダクタにおいて、上記複数の第2導体の全てのスイッチが開放のとき上記複数の第2導体が直列に接続されたことを特徴とする可変インダクタ。

【請求項3】半導体基板上に設けたスパイラル状の第1の配線層と、上記第1の配線層と半導体基板の間に設けられたループ状の複数の第2の配線層と、上記ループ状の複数の第2の配線層のそれぞれは開放端が設けられ、上記開放端を開放/短絡するスイッチと、上記第1の配線層と上記第2の配線層を分離する絶縁体とをもつことを特徴とする可変インダクタ。

【請求項4】上記請求項3に記載の可変インダクタにおいて、上記第1の配線層のスパイラルの巻き数と、上記第2の配線層のループの数が同じで、上記第1の配線層と上記第2の配線層の平面位置が重なるように配置されたことを特徴とする可変インダクタ。

【請求項5】上記請求項3又は4に記載の可変インダクタにおいて、上記半導体基板がシリコン結晶からなり、上記スイッチがシリコンMOS型電界効果トランジスタからなることを特徴とする可変インダクタ。

【請求項6】上記請求項3又は4に記載の可変インダクタにおいて、上記半導体基板が半絶縁性ガリウム砒素結晶からなり、上記開放/短絡の機能を持つスイッチがガリウム砒素電界効果トランジスタからなることを特徴とする可変インダクタ。

【請求項7】開放端をもつループ状の配線層と、上記配線層の開放端の一方がドレインに、他方がソースとが短絡された電界効果トランジスタからなる複数の回路とからなり、上記ループ状の配線層のサイズの大きな回路がサイズの小さな回路を空間的に内包するように順々に配置して構成されたことを特徴とする半導体集積回路。

【請求項8】上記請求項7に記載の半導体集積回路において、上記電界効果トランジスタのゲート電極へ制御電圧を加える分割抵抗と、上記制御電圧を変化させる電圧源を有することを特徴とする半導体集積回路。

【請求項9】上記請求項1、2、3ないし6のいずれかに記載の可変インダクタを含む入力出力整合回路又は出力整合回路と上記整合回路の出力を増幅する増幅器とが同一基板上に形成されたことを特徴とする回路装置。

【請求項10】上記請求項1、2、3ないし6のいずれかに記載の可変インダクタと、上記インダクタを段間整合回路に用いた複数の増幅器が同一基板上に形成されたことを特徴とする多段増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はインダクタ及びインダクタを有する半導体集積回路、特にインダクタンス値を可変にする構造を持ち、マイクロ波集積回路への利用に好適な可変インダクタ及び可変インダクタを有する半導体集積回路に関する。

【0002】

【従来の技術】従来のインダクタを用いた半導体集積回路は例えば電子情報通信学会技術研究報告93巻第416号43頁から48頁(1993年)(信学技報 Vol. 93 No. 416 ED93-163 (1994-01), pp. 43-48)において論じられている。そのインダクタは図2に示すように、スパイラル形状の配線21と引き出し線配線22からなる。配線21及び配線22はSiO₂絶縁膜により分離されている。23は配線21と配線22を接続するスルーホールである。この従来例のスパイラルインダクタはGaAs HEMT(ガリウム砒素高電子移動度トランジスタ)素子とともに同一基板状に形成できるため、スパイラルインダクタをもつ整合回路内蔵の低雑音前置増幅器などが実現されていた。このように従来は図2の様なスパイラルインダクタを整合回路に用いることによりマイクロ波集積回路の小型化と、組立コストの低減を図っていた。

【0003】また、スパイラルインダクタの製造方法として、スパイラル導体内の近くの導体相互を短絡する短絡導体を複数個設け、必要とするインダクタンス値に応じて短絡導体を選択的に切断し必要とするインダクタンス値をもつスパイラルインダクタの製造方法が提案されている(公開特許公報、昭61-256611)。

【0004】

【発明が解決しようとする課題】従来のスパイラルインダクタのインダクタンス値はその形状により一義的に決まるため、インダクタンス値は集積回路のマスクデザインを変更しない限り調整できない。一方GaAs HEMTを実際に製造すると、製造工程のばらつきによりトランジスタの入出力インピーダンスの値が設計中心値から大きくばらつく。その結果マイクロ波集積回路においてインピーダンス整合劣化が多発し、歩留まりが低いという問題があった。

【0005】また、上記提案の製造方法によるスパイラルインダクタにおいてもインピーダンス整合劣化の問題を生じる。すなわちインダクタ素子の製造工程において所定のインダクタンス値を得ても、実際に回路に組み込んだ状態では他の回路素子との関係でインダクタンス値を変える必要がある場合に不都合が生じる。

【0006】本発明の目的は、インダクタを回路装置に組み込んだ状態でもインダクタンス値を可変にできる可変インダクタを提供することである。本発明の他の目的は、上記目的を達成できると同時に半導体集積回路に内

蔵できるインダクタ及びそれを用いた半導体集積回路を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するため、本発明の可変インダクタは、スパイラル状導体の近傍に開放端を持つループ状の複数の導体を設け、複数の開放端のそれぞれに開放端を開放／短絡するスイッチ設けた。特に半導体集積回路に組み込めるように上記スイッチを電界効果トランジスタで構成し、複数のループ状導体及びスイッチとスパイラルインダクタとの間に半導体集積回路の構成に使用する絶縁膜を設けた。上記近傍とは後で説明するように、相互磁気誘導を生じる位置である。

【0008】

【作用】スパイラル導体に絶縁膜を介し、開放端を持たない（または開放端を短絡した）閉ループ導体を設けると、スパイラルインダクタのインダクタンスが小さくなる。これはスパイラルインダクタを貫く磁束密度の変化により閉ループ導体に誘導電流が流れ、その誘導電流によって生じる磁束密度の変化がスパイラル導体のインダクタの磁束密度の変化を打ち消す方向に生じ、その結果スパイラル導体のインダクタンスは（閉ループ導体を設けない場合に比べ）低下するからである。

【0009】一方、開放端を持つ開ループ導体を設けた場合にはスパイラル導体のインダクタンスはほとんど変化しない。スパイラル導体を貫く磁束密度が変化しても開ループ導体には電位差が生ずるだけで、電流は流れず、スパイラル導体の磁束密度の変化は妨げられない。その結果スパイラル導体のインダクタンスは開ループの配線層を設けない場合に比べほとんど変化しないからである。

【0010】よってスパイラル導体の近傍（相互誘導を生じる位置）に、開放端を持つループ状導体を設け、その開放端にスイッチを設け、スイッチを開閉するとインダクタンス値を可変することができる。さらに、開放端にスイッチを持つループ状の導体を複数個設け、上記スイッチを電圧駆動にすることによって、多値可変の可変インダクタンスが得られる。

【0011】上記スイッチとして、電界効果トランジスタを用い、そのソース、ドレインを開放端に接続した場合、トランジスタをオン（導通）することにより閉ループ、トランジスタをオフ（切断）することにより開ループを実現できる。複数の電界効果トランジスタが次々とオフからオンに切り替わるように各々の電界効果トランジスタのゲート電圧を制御すると、複数の値のインダクタンス値をとり得る可変インダクタンスが実現し、半導体集積回路に組み込むことが容易にできる。

【0012】

【実施例】

＜実施例1＞本発明による可変インダクタの第1の実施

例1を図1、図3、図4及び図5によって説明する。図1(a)、(b)及び(c)はそれぞれ本発明による可変インダクタの一実施例を構成する開放端を持つループ状の複数の導体（開ループ導体と略称）の平面図、スパイラル状導体の平面図及び(a)及び(b)の導体を重ねた状態を示す平面図である。

【0013】複数の開ループ導体である第1の配線層は、図1(a)に示すように、4個のループ状の配線層4-1...4-4を形成し、ループ状の配線層の各々の開放端に電界効果トランジスタQ1~Q4のドレイン電極、ソース電極を接続する。電界効果トランジスタQ1~Q4のそれぞれのゲート電極はそれぞれ抵抗素子R1~R4に接続し、抵抗素子R1~R4は直列になるように接続され、終端の一方を接地端子5、他方を制御電圧端子6としている。

【0014】スパイラル状導体は、図1(b)に示すように、従来例のスパイラルインダクタ（図2）と同様の構造のスパイラル状導体1である。スパイラル状導体1の一端は第3の導体層である引き出し配線2の一端とスルーホール3を介して接続されている。スパイラル状導体1及び引き出し配線2の他端はインダクタの2端子を構成する。上記スパイラル状導体1と複数の開ループ導体4-1...4-3は相互磁気誘導を起こしやすいように、図1(c)に示すように、ほぼ重なるように絶縁膜（図示せず）を挟んで対向する位置に配置する。

【0015】図3は図1中のA-A'間での断面構造を示す斜視図である。なお図面は見やすくするため、導電層1、2、4-1間の絶縁層SiO₂は省いている。図3を用いて本実施例の可変インダクタの製造方法を説明する。まず低濃度シリコン基板（あるいは低濃度シリコンエピタキシャル層）30の表面にLOCOS（local oxidation of silicon）領域31及び低濃度p型層33を形成し、素子分離を行う。次にp型埋め込み層32、ゲート電極35及び高濃度n型層34を形成し、MOSFET（metal-oxide-semiconductor field effect transistor）Q1~Q4とする。MOSFETのしきい電圧V_{th}は、例えば0.8V程度と正になるように設計した。ゲート電極35はポリシリコン層により形成し、ゲート電極同士を接続する抵抗素子R1~R4もこのポリシリコン層35により形成する。層間絶縁膜を被着、スルーホールを形成した後、銅アルミからなる第1の配線層4-1を形成する。第1の配線層4-1の開放端は、MOSFETのドレイン、ソースにあたる高濃度n型層34に接続する。さらに層間絶縁膜を被着した後銅アルミの第2の配線層2を形成し、層間絶縁膜を被着、スルーホール3を形成した後金メッキ技術を用いて第3の配線層1を形成して可変インダクタが完成する。上記実施例1の製造プロセスは、通常のMOSFETの製造プロセスを含んでおり、MOSFETを使った半導体集積回路にこの可変インダクタを内蔵することは容易

に実現できる。

【0016】図4は上記実施例1の可変インダクタの等価回路図である。図4の等価回路図において制御端子6に加える制御電圧 V_{con} が0Vでは、4個の電界効果トランジスタ $Q1 \sim Qn$ は全てオフ状態になる。制御電圧 V_{con} を正側に上昇してゆくと、まず $V_{con} = V_{th}$ (> 0) において電界効果トランジスタ $Q1$ がオンとなる。さらに上昇すると、 $Q2, Q3, \dots$ とトランジスタは順次オン状態になる。この時の端子2-2間のインダクタンス値は図5 (図は横軸を制御電圧 V_{con} 、縦軸をインダクタンス値 L 、開ループの導体4の個数を8とした) に示すように変化する。すなわち制御電圧 V_{con} を0Vから上昇させることにより、インダクタンス値を減少する方向に制御でき、その値は例えば導体4の個数を8としたとき、9個のインダクタンス値をとることができる。

【0017】<実施例2>図6は本発明による可変インダクタの他の実施例の要部の断面構造図である。実施例1の図3との違いはスイッチング素子としてシリコンMOSFETの代わりにGaAs MESFET (metal-semiconductor field effect transistor) を形成した点である。半絶縁性GaAs基板70の表面にイオン注入法によりp型埋め込み層72、n型能動層73、高濃度n型層74を形成する。ゲート電極75には耐熱性ゲート電極であるタングステンシリサイドを用いる。71は素子分離領域として形成したメサ分離領域である。MESFETのソース、ドレイン部分にはAuGe系のオーミック電極76を設け、第1の配線層4に接続する。図3と同一構成部には同一番号を付して説明を省く。本実施例の場合、MESFETのしきい電圧 V_{th} は-1V程度と負にすることが望ましい。本実施例2の製造プロセスは、通常のGaAs MESFETプロセスを含み、GaAs MESFETを使った半導体集積回路にこの可変インダクタを内蔵することは容易に実現できる。

【0018】本実施例2の場合には、図4の等価回路図において制御電圧 V_{con} が0Vでは、複数個の電界効果トランジスタ $Q1 \sim Qn$ はすべてオン状態になる。制御電圧 V_{con} を負にしてゆくと、まず $V_{con} = V_{th}$ (< 0) において電界効果トランジスタ $Q1$ がオフとなり、さらに負にすると、 $Q2, Q3, \dots$ とトランジスタは順次オフ状態になる。このようにして制御電圧を0Vから下降させることにより、インダクタンス値を増加する方向に制御できる。

【0019】また、実施例2によれば半絶縁性GaAs基板上にインダクタを形成するため導電性基板を用いた場合に比べ損失を著しく低減することができ、可変インダクタのQ値 (quality factor) を高くすることができる。また高速性に優れるGaAs MESFETとの集積回路を形成できるため、特に高い周波数で使用するマイクロ波集積回路を提供することができ

る。また、GaAs基板上のFET (電界効果トランジスタ) としてMESFETを用いたが、もちろんこれはHEMTまたはHIGFET (Heterostructure Insulated-Gate field effect transistor) といったヘテロ接合を用いたトランジスタとしてもよい。

【0020】<実施例3>図7は本発明の更に他の実施例であるマイクロ波集積回路 (前置増幅器) の回路図である。図中点線で囲んだ部分は同一シリコンチップ上に形成した集積回路を示す。シリコンMOSFET 63のゲートGには可変インダクタ61及び容量素子C3からなる入力整合回路部分が接続され、ドレインDには可変インダクタ62及び容量素子C4からなる出力整合回路部分が接続されている。可変インダクタ61及び62の他端はFET 63のバイアス電圧 V_g 及び V_d がそれぞれくわえられる。可変インダクタ61及び62は実施例1の可変インダクタである。なお、 $L1, C5$ 及び $R5$ は負帰還をかけるための回路素子、 Z_i 及び Z_o はそれぞれ入力及び出力インピーダンスである。 $C1$ 及 $C2$ は交流バイパス及び整合回路の一部を構成する。

【0021】本実施例3によれば、整合回路を内蔵しても入出力整合条件を調整することができ、製造ばらつきによるトランジスタの入出力インピーダンスの変動を補償することができる。その結果、マイクロ波集積回路の歩留まりを向上することができる。本実施例3においては、シリコンチップ上に形成した可変インダクタ61及び62としたが、これらを実施例2で述べるGaAsチップ上に形成した可変インダクタとしても良い。その場合、図中破線で囲んだ部分は同一GaAsチップ上に形成した回路部分となり、63にはMESFET等のGaAs FETを使用する。

【0022】<実施例4>図8は本発明による半導体集積回路の他の実施例の回路図を示す。本実施例の回路は2段構成の電力増幅器を構成する。図で示した回路部は全て同一シリコンチップ上に形成される。シリコンMOSFET 83、84の段間整合回路に実施例1の可変インダクタ81、82及び容量素子 $C11, C12$ からなるLC整合回路を構成した。可変インダクタ81及び82の一端にはそれぞれインダクタ12及び抵抗 $R7$ を介してバイアス電圧 V_{d1} 及び V_{g2} が加えられる。 $C9, C10$ 及び $L3$ は入力整合回路、 $C6, C7, C8$ は交流成分バイパス素子である。出力電力の損失を避ける目的で、出力部分の整合回路のみ外付け (図示せず) とした。出力部の外部整合回路としては、通常モジュール基板上に形成したマイクロストリップ伝送線路を用いる。

【0023】電力増幅器は使用されるシステムによって出力負荷条件を変えることが望まれる。通常出力負荷インピーダンスは外部整合回路の修正により変更する。この時MOSFET 84のスキャタリングパラメータ S_{12} 、すなわち4端子パラメータの1つで、出力端 (ド

7

レイン)の反射波が入力端(ゲート)に戻る割合の影響により、MOSFET 84の最適入力負荷インピーダンスが変化してしまい、固定された段間LC整合回路を用いた場合には整合条件がずれて性能が劣化した。

【0024】本実施例4によれば出力負荷インピーダンスを変更した場合でも段間整合回路の可変インダクタ81及び82のインダクタンス値の制御によりMOSFET 84の最適入力負荷インピーダンスが実現できる。これにより同一品種のチップで複数のシステムに対応することができ、集積回路の製造コストを低減することができる。

【0025】以上本発明の実施例について説明したが、本発明は上記実施例に限定されるものではない。例えば、スパイラル状導体、ループ状導体の形状は正方形に限定されるものではなく、任意の形状にしてよい。更に開放端をもつループ状の導体の開放端でFETのソース、ドレインを接続した回路は磁界を制御する回路として可変インダクタ以外の集積回路素子を構成できる。

【0026】

【発明の効果】本発明によれば、外部制御電圧によりインダクタンス値が可変でありかつ半導体集積回路に内蔵できるインダクタ構造が実現でき、マイクロ波集積回路に最適な半導体集積回路を提供することができる。

【図面の簡単な説明】

【図1】本発明による可変インダクタの一実施例の構造図である。

【図2】従来のインダクタ構造を示す図である。

【図3】図1のA-A'部の断面構造図である。

【図4】本発明による可変インダクタの一実施例の等価回路図である。

【図5】本発明による可変インダクタの一実施例のインダクタンス変化を表すグラフである。

8

【図6】本発明による可変インダクタの他の実施例の部分断面構造図である。

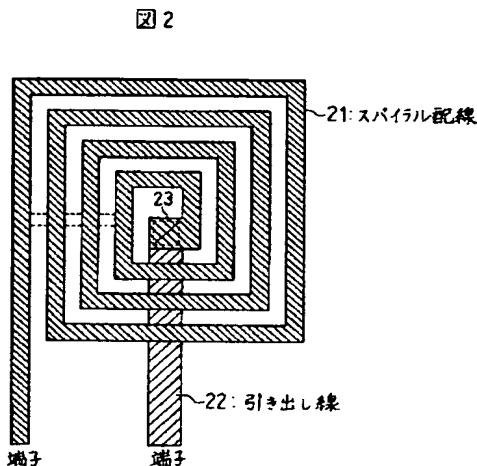
【図7】本発明による可変インダクタを用いた前置増幅器の回路図である。

【図8】本発明による可変インダクタを用いた電力増幅器の回路図である。

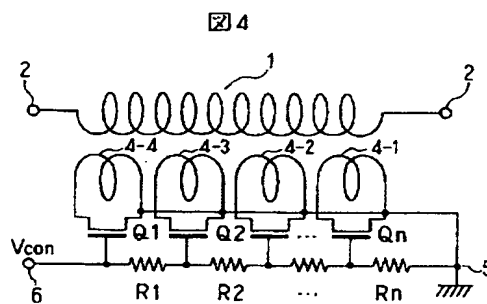
【符号の説明】

- 1…第3の配線層、
- 2…第2の配線層、
- 3…スルーホール、
- 4…第1の配線層、
- 30…シリコン基板、
- 31…LOCOS領域、
- 32…p型埋め込み層、
- 33…低濃度p型層、
- 34…高濃度n型層、
- 35…ゲート電極、
- 61…可変インダクタ、
- 62…可変インダクタ、
- 63…電界効果トランジスタ、
- 70…半絶縁性GaAs基板、
- 71…メサ分離領域、
- 72…p型埋め込み層、
- 73…n型能動層、
- 74…高濃度n型層、
- 75…ゲート電極、
- 76…オーミック電極、
- 81…可変インダクタ、
- 82…可変インダクタ、
- 83…電界効果トランジスタ、
- 84…電界効果トランジスタ。

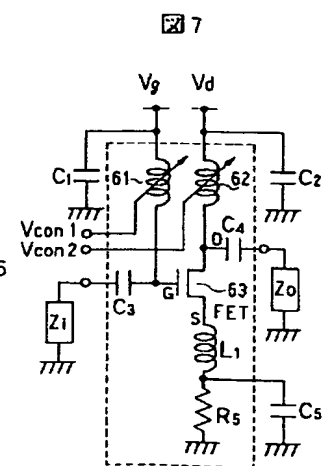
【図2】



【図4】

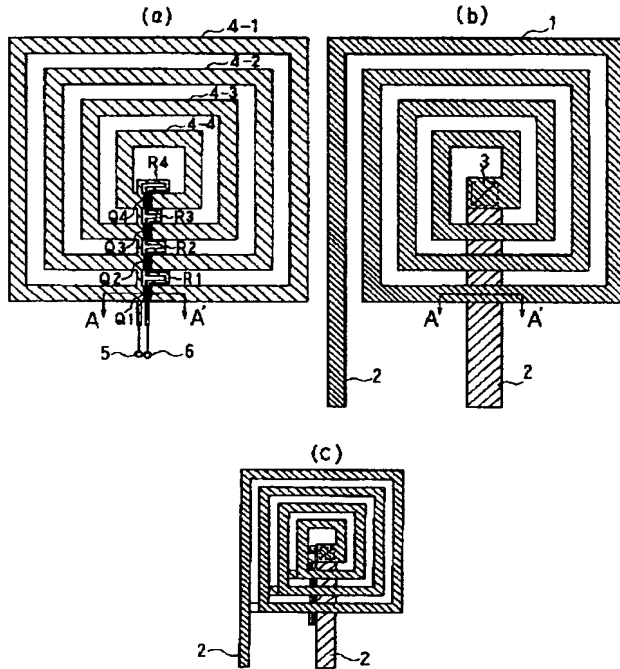


【図7】



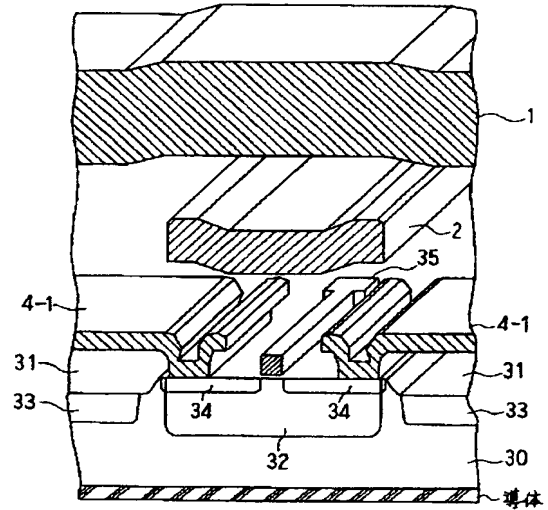
【図1】

図1



【図3】

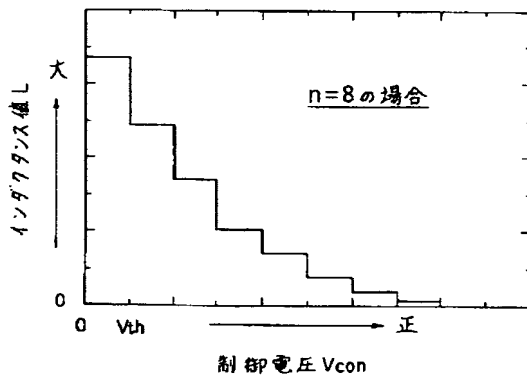
図3



30: 基板
31: LOCOS 領域
32: P型埋込層
33: 低濃度P型層
34: 高濃度n型層
35: ゲート電極

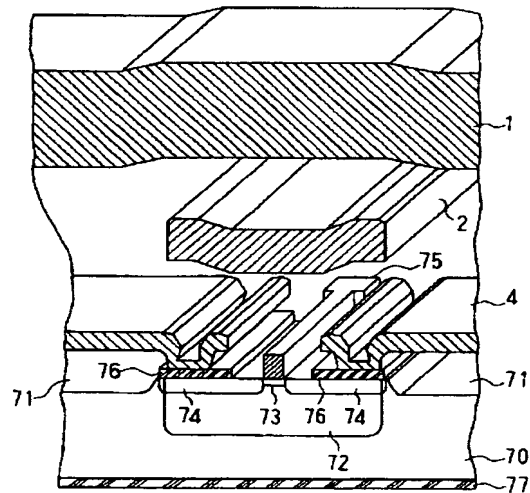
【図5】

図5



【図6】

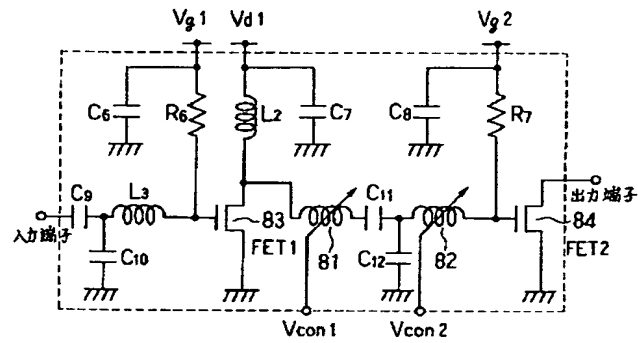
図6



70: 半絶縁性GaAs基板
71: メサ分離領域
72: 埋込層
73: n型能動層
74: 高濃度n型層
75: ゲート電極
76: オミック電極
77: 導体

【図8】

図8



フロントページの続き

(72)発明者 吉田 功
 東京都国分寺市東恋ヶ窪1丁目280番地
 株式会社日立製作所中央研究所内

THIS PAGE BLANK (USPTO)